

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-074666

(43)Date of publication of application : 27.04.1984

(51)Int.Cl. H01L 27/10
G11C 11/34
H01L 29/78

(21)Application number : 57-185160

(71)Applicant : RICOH CO LTD

(22)Date of filing : 20.10.1982

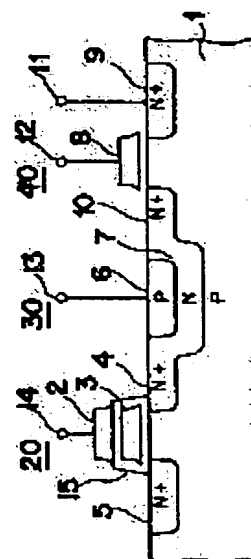
(72)Inventor : KYOMASU MIKIO

(54) MEMORY ELEMENT

(57)Abstract:

PURPOSE: To enable to obtain a high operating speed by a method wherein one diffused region of rewritable semiconductor nonvolatile memory elements and the base region of a bi-polar transistor use the same diffused region in common.

CONSTITUTION: The rewritable semiconductor memory element 20, the P-N-P transistor TR30, and the rewritable semiconductor memory element 40 are formed on a single P type substrate 1. The drain 4 of this TR20 and the base 7 of the element 30 are superposed each other by using a diffused region in common. The source 10 of the element 40 uses a diffused region in common to the base 7. At the time of readout of this constitution, the impression of a suitable voltage on the control gate 2 of the element 20 brings the element 20 into a conduction state, multiplied emitter current flows to the TR30; a sense circuit of a programmable logic array connected to a terminal 13 detects 1. On the other hand, when the element 20 is in a programmed state, the emitter current does not flow to the TR30 because of non-conduction of the element 20; therefore the sense circuit detects "0" state.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—74666

⑬ Int. Cl.³
H 01 L 27/10
G 11 C 11/34
H 01 L 29/78

識別記号
庁内整理番号
6655—5F
6549—5B
7514—5F

⑭ 公開 昭和59年(1984)4月27日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ 記憶素子

⑯ 特 願 昭57—185160
⑰ 出 願 昭57(1982)10月20日
⑱ 発 明 者 京増幹雄
東京都大田区中馬込1丁目3番

6号株式会社リコー内
⑲ 出 願 人 株式会社リコー
東京都大田区中馬込1丁目3番
6号
⑳ 代 理 人 弁理士 青山葆 外2名

明 細 書

1. 発明の名称

記憶素子

2. 特許請求の範囲

(I) 書換え可能な半導体不揮発性記憶素子とバイポーラトランジスタが同一基板上に作成され、かつ前記不揮発性記憶素子の一方の拡散領域と前記バイポーラトランジスタのベース領域とが同一拡散領域を共用していることを特徴とする記憶素子。

3. 発明の詳細な説明

技術分野

本発明は FAMOS トランジスタや MNOS トランジスタのような半導体不揮発性記憶素子を用いた記憶素子に関し、特に PLA (プログラマブルロジックアレイ) で使用するのに適した記憶素子に関する。

従来技術

PLA はプログラム可能な AND、OR、NAND、NOR などの論理アレイを組み合わせて、所望の論理回路を構成するものであつて、従来、F

PLA (フィールド PLA) として第1図のようにダイオード D (又はヒューズやバイポーラトランジスタ) をマトリックス状に接続し、そのダイオード等を熱破壊させることにより、“1”が“0”かの情報を記憶させる、所謂破壊型の FPLA が報告されている。しかし、この破壊型の FPLA では一度書込みを行なうと書換えを行なうことができない問題がある。

また、書換え可能な半導体不揮発性記憶素子としては FAMOS (Floating Gate Avalanche Injection MOS) トランジスタや MNOS (Metal Silicon Nitride Oxide Semiconductor) トランジスタなどがある。FAMOS トランジスタは、第2図に示されるように、基板1と選択ゲート2の間の絶縁層15中にフローティングゲート3を細め込んだ構造を有する。4はドレイン、5はソースである。しかし、FAMOS トランジスタや MNOS トランジスタのような記憶素子はゲートが二層構造をとるためトランジスタの相互コンダクタンスが低く、ドレインの負荷容量の大き

なPLAを駆動するには動作速度が遅く、マイクロプロセッサのI/O素子として用いられているPLAの用途に適した動作速度を得ることができない問題がある。

目的

本発明はFAMOSトランジスタ等の記憶素子の駆動能力の低い問題点を解決し、PLAにも使用できるように駆動能力の高い記憶素子を提供することを目的とするものである。

構成

以下本発明の実施例について説明する。

第3図は一実施例を示し、単一P型基板1上にFAMOSトランジスタ20、PNPトランジスタ30、及びプログラム用NMOSTランジスタ40が作成されている。FAMOSトランジスタ20は第2図と同じ構造であり、多結晶シリコンにてなるコントロールゲート2、このコントロールゲート2と基板1間の絶縁層15中に埋め込まれた多結晶シリコンにてなるフローティングゲート3、並びに基板1中のN⁺拡散層であるドレイン4及びソー

ス5を備えている。PNPトランジスタ30はエミッタ(P拡散層)6、ベース(N拡散層)7及びコレクタ(P基板)1からなるパーティカル構造を有し、FAMOSトランジスタ20のドレイン4とNPNTランジスタ30のベース7とはベース7の一部で拡散領域を共用して重なり合っている。また、プログラム用NMOSTランジスタ40はプログラムコントロールゲート8、ドレイン9及びソース10を有し、ソース10はPNPトランジスタ30のベース7の一部でFAMOSトランジスタ20とは反対側の部分で拡散領域を共用してベース7と重なり合っている。

11はNMOSTランジスタ40のドレイン9に高電圧を印加するプログラム端子、12はプログラムコントロールゲート8に高電圧を印加する端子、13はPNPトランジスタ30のエミッタをセンス回路へ接続する端子、14はFAMOSトランジスタ20のコントロールゲート2に高電圧を印加する端子である。

第3図の等価回路を第4図に示す。

ントロールゲート2に印加すれば、FAMOSトランジスタ20は消去状態(A)では導通状態であるのに対し、プログラム状態(B)では非導通状態となる。

本実施例の読出し時は、FAMOSトランジスタ20のコントロールゲート2に、上述した第5図の曲線(A)と(B)の間の電圧を印加すればよい。このとき、FAMOSトランジスタ20が消去状態であれば、FAMOSトランジスタ20は導通状態となつて、PNPトランジスタ30のベース電流がエミッタ6からベース7を経てFAMOSトランジスタ20のドレイン4からソース5へと流れ、PNPトランジスタ30には h_{FE} 倍されたエミッタ電流がエミッタ6からベース7を経てコレクタ(基板)1へと流れる。これにより端子13に接続されるEPLA(電気的PLA)のセンス回路は"1"(消去状態)を検出する。

また、FAMOSトランジスタ20がプログラム状態であれば、FAMOSトランジスタ20は非導通状態であるため、PNPトランジスタ30のベースは浮いた状態となつてエミッタ電流が流れず、

本実施例においてFAMOSトランジスタ20に書き込みを行なうには、FAMOSトランジスタ20のコントロールゲート2とNMOSTランジスタ40のプログラムコントロールゲート8に高電圧を印加し、NMOSTランジスタ40のドレイン9に高電圧を印加する。ドレイン9に印加された高電圧は、NMOSTランジスタ40のチャネル及びPNPトランジスタ30のベース7を経てFAMOSトランジスタ20のドレイン4にも印加され、ドレイン4からフローティングゲート3にホットエレクトロンが注入されてフローティングゲート3を充電し、書き込みが行なわれる。

FAMOSトランジスタ20のコントロールゲート電圧に対するドレイン電流の伝達特性は、第5図に示されるように、書き込みが行なわれずフローティングゲート3に電荷のない消去状態では同図(A)であるのに対し、書き込みが行なわれてフローティングゲート3に電荷を有するプログラム状態では同図(B)のように閾値が増大した状態となる。したがって、この2つの曲線(A)と(B)の間の電圧をコ

センス回路は“0”（プログラム状態）を検出する。

FAMOSトランジスタ20の書き込みを消去するには、フローティングゲート3に紫外線を照射すればよい。フローティングゲート3に蓄積されていた電荷は紫外線からエネルギーを得て周囲の絶縁膜中へ飛び出し、プログラム状態から消去状態へ復帰するので、再度プログラムすることができる。

本出願人は、書換え可能な不揮発性記憶素子を用いたEPLAについて、既に出願しているが、第6図は本発明をそのようなEPLAに使用する場合のNORゲート回路の一例の等価回路を示すものである。バイポーラトランジスタ30のベースに複数のFAMOSトランジスタ20-1~20-nのドレインが共有の拡散領域で接続されている。プログラムコントロール用NMOSTランジスタ40は第3図と同様にしてNPNトランジスタ30のベースに接続されている。50は所定のNOR回路選択用のMOSTランジスタである。

なお、上記実施例において、書換え可能な半導

体不揮発性記憶素子として、FAMOSトランジスタを用いて説明したが、本発明はこれに限定されるものではなく、MNOSTランジスタなどの他の既知の記憶素子も全く同様にして用いることは言うまでもない。

効果

以上のように、本発明の記憶素子はFAMOSトランジスタなどの書換え可能な半導体不揮発性記憶素子の一方の拡散領域とバイポーラトランジスタのベースとが同一拡散領域を共用するように同一基板上に作成されているので、FAMOSトランジスタ等の電流量（数 μ A、例えば60 μ A）をバイポーラトランジスタの電流量（例えば1.2mA）に置換することができる。このように電流量が増大（例えば約20倍）する結果、FAMOSトランジスタ等をPLAに用いた場合には動作速度が、例えば約400nsであるべきものが20~30nsになり、実用性を有する書換え可能なPLAを実現することができる。

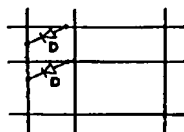
4. 図面の簡単な説明

第1図は従来のPLAにおけるダイオードマトリックスの一部を示す回路図、第2図はFAMOSトランジスタを示す概略断面図、第3図は本発明の一実施例を示す概略断面図、第4図は第3図の等価回路図、第5図はFAMOSトランジスタの動作特性を示す図、第6図は本発明をEPLAに適用する場合の一例を示す等価回路図である。

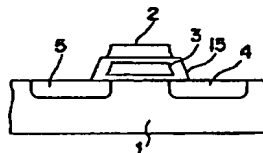
1…基板、 2…コントロールゲート、
3…フローティングゲート、 4…ドレイン、
6…エミッタ、 7…ベース、
20…FAMOSトランジスタ、
30…NPNトランジスタ。

特許出願人 株式会社 リコー
代理人 弁理士 青山 稔 外2名

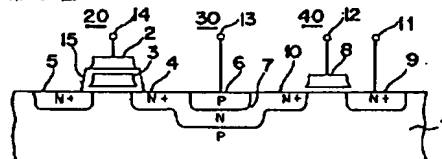
第 1 図



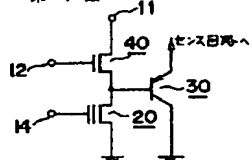
第 2 図



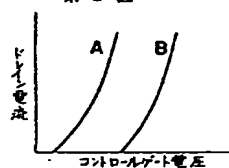
第 3 図



第 4 図



第 5 図



第 6 図

